

Docket No.: YHK-0107

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Won Tae KIM and Soo Seok SIM

Serial No.: New U.S. Patent Application

Filed: July 8, 2003

For: METHOD AND APPARATUS FOR DRIVING PLASMA DISPLAY PANEL

**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
Alexandria, Virginia 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. P2002-41768 filed July 16, 2002.

A copy of each priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM, LLP

Daniel Y.J. Kim  
Registration No. 36,186

P. O. Box 221200  
Chantilly, Virginia 20153-1200  
703 502-9440

**Date: July 8, 2003**

DYK/dak



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0041768 2078  
Application Number

출원년월일 : 2002년 07월 16일  
Date of Application JUL 16, 2002

출원인 : 엘지전자 주식회사  
Applicant(s) LG Electronics Inc.



2003 년 04 월 25 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.07.16
【발명의 명칭】	플라즈마 디스플레이 패널의 구동방법 및 장치
【발명의 영문명칭】	METHOD AND APPARATUS FOR DRIVING PLASMA DISPLAY PANEL
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	2002-026946-4
【발명자】	
【성명의 국문표기】	김원태
【성명의 영문표기】	KIM, Won Tae
【주민등록번호】	670111-1357527
【우편번호】	730-050
【주소】	경상북도 구미시 남통동 4-5번지 청구아파트 102동 812호
【국적】	KR
【발명자】	
【성명의 국문표기】	심수석
【성명의 영문표기】	SIM, Soo Seok
【주민등록번호】	660908-1914216
【우편번호】	730-030
【주소】	경상북도 구미시 공단동 LG전자 사원아파트 다동 301호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김영호 (인)

1020020041768

출력 일자: 2003/4/28

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

11 면 11,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

6 항 301,000 원

【합계】

341,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 비표시영역으로부터 발생하는 이상방전을 방지하여 화질을 높이도록 한 플라즈마 디스플레이 패널의 구동방법 및 장치에 관한 것이다.

본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동방법 및 장치는 액티브 영역의 전극들 중 적어도 일부전극들과 비표시영역 내에 위치하는 더미전극들 중 적어도 일부전극들을 동일한 신호로 구동하는 것을 특징으로 한다.

**【대표도】**

도 8

## 【명세서】

## 【발명의 명칭】

플라즈마 디스플레이 패널의 구동방법 및 장치(METHOD AND APPARATUS FOR DRIVING PLASMA DISPLAY PANEL)

## 【도면의 간단한 설명】

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도이다.

도 2는 256 계조를 구현하기 위한 8 비트 디폴트 코드의 프레임 구성을 나타내는 도면이다.

도 3은 종래의 PDP를 구동하기 위한 구동 파형을 나타내는 파형도이다.

도 4는 비표시영역을 나타내기 위한 플라즈마 디스플레이 패널의 평면도이다.

도 5는 비표시영역을 나타내기 위한 플라즈마 디스플레이 패널의 단면도이다.

도 6은 비표시영역에서 지속적으로 상승하는 벽전압을 나타내는 그래프이다.

도 7은 비표시영역으로부터 발생되어 액티브영역에서 인식되는 가시광을 개략적으로 나타내는 도면이다.

도 8은 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동장치를 개략적으로 나타내는 블록도이다.

도 9는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동장치를 개략적으로 나타내는 블록도이다.

도 10은 도 9에 도시된 플라즈마 디스플레이 패널의 각 전극들에 공급되는 파형을 나타내는 파형도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 상부기판	2 : 하부기판
3 : 격벽	4,6 : 유전체층
5 : 형광체	7 : 보호층
X : 어드레스전극	Y : 스캔전극
Z : 서스테인전극	80,100 : 플라즈마 디스플레이 패널
81,101 : 어드레스 구동부	82,102 : 스캔 구동부
83,103 : 서스테인 구동부	84,104 : 타이밍 콘트롤러
85,105 : 구동전압 발생부	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 플라즈마 디스플레이 패널에 관한 것으로, 특히 비표시영역으로부터 발생하는 이상방전을 방지하여 화질을 높이도록 한 플라즈마 디스플레이 패널의 구동방법 및 장치에 관한 것이다.

- <21> 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 한다)은 He+Xe, Ne+Xe, He+Xe+Ne 등의 불활성 혼합가스가 방전할 때 발생하는 자외선을 이용하여 형광체를 여기 발광시킴으로써 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가 용이할 뿐만 아니라 최근의 기술 개발에 힘입어 화질이 향상되고 있다.
- <22> 도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기판(1) 상에 형성되어진 스캔전극(Y) 및 서스테인전극(Z)을 포함한 서스테인전극쌍과, 서스테인전극쌍과 직교되도록 하부기판(2) 상에 형성되어진 어드레스전극(X)을 구비한다. 스캔전극(Y)과 서스테인전극(Z) 각각은 투명전극과, 그 위에 형성된 금속버스전극으로 이루어진다. 스캔전극(Y)과 서스테인전극(Z)이 형성된 상부기판(1)에는 상부 유전체층(6)과 MgO 보호층(7)이 적층된다. 어드레스전극(X)이 형성된 하부기판(2) 상에는 어드레스전극(X)을 덮도록 하부 유전체층(4)이 형성된다. 하부 유전체층(4) 위에는 수직으로 격벽(3)이 형성된다. 하부 유전체층(4)과 격벽(3)의 표면에는 형광체(5)가 형성된다. 상부기판(1)과 하부기판(2) 및 격벽(3) 사이에 마련된 방전공간에는 He+Xe, Ne+Xe, He+Xe+Ne 등의 불활성 혼합가스가 주입된다. 상부기판(1)과 하부기판(2)은 도시하지 않은 실재에 의해 합착된다.
- <23> PDP는 화상의 계조를 구현하기 위하여, 한 프레임을 발광횟수가 다른 여러 서브필드로 나누어 시분할 구동하게 된다. 각 서브필드는 전화면을 초기화시키기 위한 초기화기간(또는 리셋기간)과, 주사라인을 선택하고 선택된 주사라인에서 셀을 선택하기 위한 어드레스기간과, 방전횟수에 따라 계조를 구현하는 서스테인기간으로 나뉘어진다. 초기화기간은 상승램프파형이 공급되는 셋업기간과 하강램프파형이 공급되는 셋다운기간으로 다수 나뉘어진다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 도 2와 같



이 1/60 초에 해당하는 프레임 기간(16.67ms)은 8개의 서브필드들(SF1 내지 SF8)로 나누어지게 된다. 8개의 서브 필드들(SF1 내지 SF8) 각각은 전술한 바와 같이, 초기화기간, 어드레스기간 및 서스테인기간으로 나누어지게 된다. 각 서브필드의 초기화기간과 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간과 그에 할당되는 서스테인펄스의 수는 각 서브필드에서  $2^n$ ( $n=0,1,2,3,4,5,6,7$ )의 비율로 증가된다.

<24> 도 3은 도 1에 도시된 PDP의 구동파형을 나타낸다.

<25> 도 3을 참조하면, PDP는 전화면을 초기화시키기 위한 초기화기간, 셀을 선택하기 위한 어드레스 기간 및 선택된 셀의 방전을 유지시키기 위한 서스테인기간으로 나누어 구동된다.

<26> 초기화기간에 있어서, 셋업기간(SU)에는 모든 스캔전극들(Y)에 상승 램프파형(Ramp-up)이 동시에 인가된다. 이 상승 램프파형(Ramp-up)에 의해 전화면의 셀들 내에는 방전이 일어난다. 이 셋업방전에 의해 어드레스전극(X)과 서스테인전극(Z) 상에는 정극성 벽전하가 쌓이게 되며, 스캔전극(Y) 상에는 부극성의 벽전하가 쌓이게 된다. 셋다운기간(SD)에는 상승 램프파형(Ramp-up)이 공급된 후, 상승 램프파형(Ramp-up)의 피크 전압보다 낮은 정극성 전압에서 떨어지는 하강 램프파형(Ramp-down)이 스캔전극들(Y)에 동시에 인가된다. 하강 램프파형(Ramp-down)은 셀들 내에 미약한 소거방전을 일으킴으로써 과도하게 형성된 벽전하를 일부 소거시키게 된다. 이 셋다운방전에 의해 어드레스 방전이 안정되게 일어날 수 있을 정도의 벽전하가 셀들 내에 균일하게 잔류된다.

<27> 어드레스기간에는 부극성 스캔펄스(scan)가 스캔전극들(Y)에 순차적으로 인가됨과 동시에 스캔펄스(scan)에 동기되어 어드레스전극들(X)에 정극성의 데이터펄스(data)가 인가된다. 이 스캔펄스(scan)와 데이터펄스(data)의 전압차와 초기화기간에 생성된 벽

전압이 더해지면서 데이터펄스(data)가 인가되는 셀 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 서스테인전압이 인가될 때 방전이 일어날 수 있게 하는 정도의 벽전하가 형성된다.

<28> 서스테인전극(Z)에는 셋다운기간과 어드레스기간 동안에 정극성 직류전압(Zdc)이 공급된다. 이 직류전압(Zdc)은 셋다운기간에 서스테인전극(Z)과 스캔전극(Y) 사이에 셋다운방전이 일어나게 함과 아울러 어드레스기간에 스캔전극(Y)과 서스테인전극(Z) 사이에 방전이 크게 일어나지 않도록 서스테인전극(Z)과 스캔전극(Y) 사이 또는 서스테인전극(Z)과 어드레스전극(X) 사이의 전압차를 설정하게 된다.

<29> 서스테인기간에는 스캔전극들(Y)과 서스테인전극들(Z)에 교번적으로 서스테인펄스(sus)가 인가된다. 어드레스방전에 의해 선택된 셀은 셀 내의 벽전압과 서스테인펄스(sus)가 더해지면서 매 서스테인펄스(sus)가 인가될 때 마다 스캔전극(Y)과 서스테인전극(Z) 사이에 서스테인방전 즉, 표시방전이 일어나게 된다.

<30> 서스테인방전이 완료된 직후에는 펄스폭과 전압레벨이 작은 램프파형(ramp-ers)이 서스테인전극(Z)에 공급되어 전화면의 셀들 내에 잔류하는 벽전하를 소거시키게 된다.

<31> 한편, PDP는 도 4 및 도 5에 나타낸 바와 같이 화상이 표시되는 액티브영역(Active area)(31)의 상측 외곽에 위치하는 상단 비표시영역(32)과 하측 외곽에 위치하는 하단 비표시영역(33) 각각에 액티브영역(31)의 방전셀과 동일한 구조의 방전공간이 형성된다. 즉, 상단 비표시영역(32)과 하단 비표시영역(33) 각각에는 어드레스전극(X)과 더미전극들(UDE, BDE)이 형성되고 그 전극들(X, UDE, BDE)을 덮도록 유전체층(4, 6)이 형성된다. 상단 비표시영역(32)과 하단 비표시영역(33) 각각에 형성된 더미전극들(UDE, BDE)은 에이징 공정(Aging process)시 비표시영역에서 방전을 일으킴으로써 액티브영역(31)의 다른 방

전셀들과 동일한 조건으로 액티브영역(31)의 첫번째 수평라인과  $n$  번째 수평라인의 방전 셀들의 방전특성을 안정화시키게 된다. 이를 위하여, 더미전극(UDE, BDE)에는 에이징 공정시 방전을 일으킬 수 있는 전압이 인가되고, 에이징 공정 후에 전압이 인가되지 않는다.

<32> 그런데, 종래의 PDP는 상단 비표시영역(32)과 하단 비표시영역(33)으로부터 우발적으로 방전이 발생하는 문제점이 있다. 이러한 방전은 이상방전이라 정의된다. 이를 상세히 하면, PDP의 구동시 초기화방전, 어드레스방전 및 서스테인방전 등의 방전이 일어나면, 그 방전에 의해 발생하는 공간전하가 상단 비표시영역(32)과 하단 비표시영역(33)의 유전체상에 축적된다. 예컨대, 어드레스방전시 도 5와 같이 부극성의 스캔필스(scan)가 스캔전극들( $Y_1$  내지  $Y_n$ )에 순차적으로 쉬프트되면서 정극성의 공간전하(52)는 하단 비표시영역(33) 쪽으로 이동하게 되고, 이와 동시에 부극성의 공간전하(51)는 상단 비표시영역(32) 쪽으로 이동하게 된다. 이렇게 비표시영역(32,33)으로 이동된 공간전하(51,52)는 비표시영역(32,33) 내에 그리고 비표시영역(32,33)과 인접한 액티브영역의 전극을 덮고 있는 유전체층(4,6) 상에 축적된다. 도 6과 같이 비표시영역(32,33)과 이에 인접한 액티브영역(31) 상에 축적된 벽전하에 의해 상승하는 방전공간의 벽전압(61)이 방전을 일으킬 수 있는 정도의 전압( $V_f$ ) 이상이 되면, 비표시영역(32,33)과 이에 인접한 액티브영역(31) 내에서 이상방전이 우발적으로 일어나게 된다. 이 이상방전에 의해 도 7과 같이 비표시영역(32,33)이나 이에 인접한 액티브영역(31)의 상/하단 가장자리로부터 발생하는 가시광(71)이 관찰자에게 보여지게 된다. 심한 경우, 이상방전에 의하여 PDP는 수초동안 화상을 표시할 수 없게 되고 방전셀까지 손상될 수 있다. 이러한 이상방전은 PDP의 휘도가 높아질수록 그리고 해상도가 높아질수록 더 심하게 나타난다.

<33> 이상방전을 해결하기 위한 방법으로써 일본 공개특허 특개평10-64432호는 PDP의 상단과 하단 가장자리의 유전체를 제거하여 비표시영역에서 축적되는 전하가 어드레스전극을 통하여 방전되게 하는 방법을 제안한 바 있다. 일본 공개특허 특개평10-69858호는 PDP의 상단과 하단 가장자리에 정상 점등영역을 설치하고 그 정상 점등영역에서 방전을 일으킴으로써 전하를 제거하는 방법을 제안한 바 있다. 그러나 이들 방법은 PDP의 전체 영역이 유효표시영역로써 사용되는 경우에만 유효하나, PDP의 일부만이 액티브영역으로 사용되는 경우에 이상방전을 방지할 수 없는 문제점이 있다. 또한, 일본 공개특허 특개평10-64434호는 도전성 입자를 어드레스전극이 형성된 유전체층 내에 도전성입자를 혼합하고 이 유전체층을 이용하여 유효표시영역의 상단과 하단 가장자리에서 축적되는 전하를 방전하게 하는 방법을 제안한 바 있다. 이 방법은 베이킹공정에서 유전체층의 전기전도성을 잃지 않게 하는 것이 어려운 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<34> 따라서, 본 발명의 목적은 비표시영역으로부터 발생하는 이상방전을 방지하여 화질을 높이도록 한 PDP의 구동방법 및 장치를 제공함에 있다.

#### 【발명의 구성 및 작용】

<35> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 PDP의 구동방법은 액티브 영역의 전극들 중 적어도 일부전극들과 비표시영역 내에 위치하는 더미전극들 중 적어도 일부전극들을 동일한 신호로 구동하는 것을 특징으로 한다.

- <36> 본 발명의 실시예에 따른 PDP의 구동방법은 액티브영역의 셀들을 초기화시키기 위한 초기화기간의 적어도 일부기간과 셀들을 선택하기 위한 어드레스기간 동안 직류전압을 비표시영역의 더미전극들 중 적어도 일부 전극들과 액티브영역의 서스테인전극들에 공급하는 것을 특징으로 한다.
- <37> 본 발명의 실시예에 따른 PDP의 구동방법은 초기화기간 동안 초기화파형을 비표시영역의 더미전극들 중 적어도 일부 전극들과 액티브영역의 스캔전극들에 공급하고 어드레스기간 동안 직류전압을 비표시영역의 더미전극들 중 적어도 일부 전극들과 액티브영역의 스캔전극들에 공급하는 것을 특징으로 한다.
- <38> 본 발명의 실시예에 따른 PDP의 구동장치는 액티브영역의 전극들 중 적어도 일부전극들과 비표시영역 내에 위치하는 더미전극들 중 적어도 일부전극들을 동일한 신호로 구동하기 위한 구동부를 구비한다.
- <39> 본 발명의 실시예에 따른 PDP의 구동장치는 액티브영역의 셀들을 초기화시키기 위한 초기화기간의 적어도 일부기간과 상기 셀들을 선택하기 위한 어드레스기간 동안 직류전압을 비표시영역의 더미전극들 중 적어도 일부 전극들과 액티브영역의 서스테인전극들에 공급하기 위한 서스테인 구동부를 구비한다.
- <40> 본 발명의 실시예에 따른 PDP의 구동장치는 초기화기간 동안 초기화파형을 비표시영역의 더미전극들 중 적어도 일부 전극들과 액티브영역의 스캔전극들에 공급하고 어드레스기간 동안 직류전압을 비표시영역의 더미전극들 중 적어도 일부 전극들과 액티브영역의 스캔전극들에 공급하기 위한 스캔 구동부를 더 구비한다.

- <41> 이하, 도 8 내지 도 10을 참조하여 본 발명의 바람직한 실시예들에 대하여 설명하기로 한다.
- <42> 도 8을 참조하면, 본 발명의 제1 실시예에 따른 PDP의 구동장치는 상측 더미전극(UY1,UZ1,UY2,UZ2)과 하측 더미전극(BY1,BZ1,BY2,BZ2)의 적어도 일부가 화상이 표시되는 액티브영역(Active area)의 서스테인전극(Z)에 접속된 PDP(80)와, PDP(80)의 어드레스전극들(X1 내지 Xm)에 데이터를 공급하기 위한 어드레스 구동부(81)와, PDP(80)의 스캔전극들(Y1 내지 Yn)을 구동하기 위한 스캔 구동부(82)와, PDP(80)의 서스테인전극들(Z)을 구동하기 위한 서스테인 구동부(83)와, 각 전극구동부들(81 내지 83)을 제어하기 위한 타이밍 콘트롤러(84)와, 구동전압(Vsetup, -Vy, Vs, Vd, Vsc-com)을 발생하기 위한 구동전압 발생부(85)를 구비한다.
- <43> 스캔전극(Y1 내지 Yn) 및 서스테인전극(Z)은 액티브영역 내에서 PDP(80)의 상부 기판 상에 형성된다. 더미전극들(UY1,UZ1,UY2,UZ2,BY1,BZ1,BY2,BZ2)은 액티브영역의 위아래에 위치하는 비표시영역 내에서 PDP(80)의 상부기판 상에 형성된다. 어드레스전극들(X1 내지 Xm)은 상판전극들(UY1,UZ1,UY2,UZ2,BY1,BZ1,BY2,BZ2,Y1 내지 Yn,Z)과 교차되도록 PDP(80)의 하부 기판 상에 형성된다. 더미전극들(UY1,UZ1,UY2,UZ2,BY1,BZ1,BY2,BZ2) 중에 액티브영역(80)의 서스테인전극(Z)과 같이 우수 번째 라인에 해당하는 더미 Z 전극(UZ1,UZ2,BZ1,BZ2)은 서스테인전극(Z)에 접속된다. 한편, 더미전극들(UY1,UZ1,UY2,UZ2,BY1,BZ1,BY2,BZ2) 모두가 서스테인전극(Z)에 접속될 수도 있다.
- <44> 어드레스 구동부(81)는 도시하지 않은 역감마보정회로, 오차확산회로 등에 의해 역감마보정 및 오차확산 된 후, 서브필드맵핑회로에 의해 각 서브필드별로 맵핑된 데이터

를 타이밍 컨트롤러(84)의 제어 하에 어드레스전극들(X1 내지 X<sub>m</sub>)에 동시에 공급하게 된다.

- <45> 스캔 구동부(82)는 타이밍 컨트롤러(84)의 제어 하에 리셋기간 동안 셋업전압(V<sub>setup</sub>)까지 상승하는 상승 램프파형과 0[V]나 부극성 스캔전압(-V<sub>y</sub>)까지 떨어지는 하강 램프파형을 스캔전극들(Y1 내지 Y<sub>n</sub>)에 동시에 공급하여 전화면을 초기화시킨 후에, 어드레스기간 동안 스캔공통전압(V<sub>sc-com</sub>)으로부터 부극성 스캔전압(-V<sub>y</sub>)까지 떨어지는 스캔펄스를 스캔전극들(Y1 내지 Y<sub>n</sub>)에 순차적으로 공급하여 스캔라인을 선택하게 된다. 또한, 스캔 구동부(82)는 서스테인기간 동안 서스테인전압(V<sub>s</sub>) 레벨의 서스테인펄스를 휘도 가중치에 대응하는 횟수만큼 스캔전극들(Y1 내지 Y<sub>n</sub>)에 동시에 공급하게 된다.
- <46> 서스테인 구동부(83)는 타이밍 컨트롤러(84)의 제어 하에 초기화기간의 셋다운기간(SD)과 어드레스기간 동안 내내 서스테인전압(V<sub>s</sub>)을 유지하는 직류전압(Z<sub>dc</sub>)을 서스테인전극들(Z)과 더미 Z 전극들(UZ1, UZ2, BZ1, BZ2)에 공급한다. 그리고 서스테인기간 동안에 서스테인 구동부(83)는 스캔 구동부(82)와 교대로 동작하여 서스테인펄스를 서스테인전극들(Z)과 더미 Z 전극들(UZ1, UZ2, BZ1, BZ2)에 공급하게 된다.
- <47> 타이밍 컨트롤러(84)는 수직/수평 동기신호를 입력받아, 각 전극 구동부(81 내지 83)에 필요한 타이밍 제어신호(C<sub>x</sub>, C<sub>y</sub>, C<sub>z</sub>)를 발생하고, 그 타이밍 제어신호(C<sub>x</sub>, C<sub>y</sub>, C<sub>z</sub>)를 해당 구동부(81 내지 83)에 공급하게 된다.
- <48> 구동전압 발생부(85)는 PDP(80)의 전극 구동에 필요한 전압 즉, 셋업전압(V<sub>setup</sub>), 서스테인전압(V<sub>s</sub>), 부극성 스캔전압(-V<sub>y</sub>), 데이터전압(V<sub>d</sub>) 및 스캔 공통전압(V<sub>sc-com</sub>) 등을 발생하고 그 구동전압들을 해당 전극 구동부(81 내지 83)에 공급한다.

<49> 각 전극 구동부(81 내지 83)로부터 발생된 구동전압은 도 3과 실질적으로 동일하다

<50> 본 발명의 제1 실시예에 따른 PDP에 있어서 이상방전을 억제하기 위한 동작을 도 3을 결부하여 설명하면 다음과 같다.

<51> 스캔 구동부(82)는 초기화기간의 셋업기간(SU) 동안에 모든 스캔전극들(Y)에 상승 램프파형(Ramp-up)을 공급한 후, 초기화기간의 셋다운기간(SD) 동안에 상승 램프파형(Ramp-up)의 피크전압보다 낮은 정극성 전압에서 떨어지는 하강 램프파형(Ramp-down)을 스캔전극들(Y)에 공급하게 된다. 그리고 스캔 구동부(82)는 어드레스기간 동안에 0[V]나 부극성 스캔전압( $-V_y$ )까지 떨어지는 스캔펄스를 스캔전극들( $Y_1$  내지  $Y_n$ )에 순차적으로 공급하게 된다. 초기화기간의 셋다운기간(SD)과 어드레스기간 동안, 서스테인 구동부(83)는 정극성의 직류전압( $Z_{dc}$ )을 서스테인전극들(Z)과 더미 Z 전극들( $UZ_1, UZ_2, BZ_1, BZ_2$ )에 공급하게 된다. 이 서스테인 구동부(83)에 의해 더미 Z 전극들( $UZ_1, UZ_2, BZ_1, BZ_2$ )은 초기화기간의 셋다운기간(SD)과 어드레스기간 동안에 정극성 전압을 유지하게 된다. 그 결과, 셋다운기간(SD)과 어드레스기간 동안에 비표시영역 내의 부극성 공간전하가 정극성 전압이 인가되는 더미 Z 전극들( $UZ_1, UZ_2, BZ_1, BZ_2$ ) 상에 억제되고 어드레스전극( $X_1$  내지  $X_m$ ) 상에 쌓인 부극성 벽전하를 감소시키므로 비표시영역이나 이에 인접한 액티브영역에서 방전이 일어나지 않는다.

<52> 도 9는 본 발명의 제2 실시예에 따른 PDP의 구동장치를 나타낸다.

<53> 도 9를 참조하면, 본 발명의 제2 실시예에 따른 PDP의 구동장치는 더미 Z 전극( $UZ_1, UZ_2, BZ_1, BZ_2$ )이 액티브영역의 서스테인전극(Z)에 접속된 PDP(100)와, PDD(100)의 어드레스전극들( $X_1$  내지  $X_m$ )에 데이터를 공급하기 위한 어드레스 구동부(101)와,



PDP(100)의 스캔전극들( $Y_1$  내지  $Y_n$ )과 더미 Y 전극( $UY_1, UY_2, BY_1, BY_2$ )을 구동하기 위한 스캔 구동부(102)와, PDP(100)의 서스테인전극들( $Z$ )을 구동하기 위한 서스테인 구동부(103)와, 각 전극구동부들(101 내지 103)을 제어하기 위한 타이밍 콘트롤러(104)와, 구동전압( $V_{setup}, -V_y, V_s, V_d, V_{sc-com}$ )을 발생하기 위한 구동전압 발생부(105)를 구비한다.

<54> 스캔전극( $Y_1$  내지  $Y_n$ ) 및 서스테인전극( $Z$ )은 액티브영역 내에서 PDP(100)의 상부 기판 상에 형성된다. 더미전극들( $UY_1, UZ_1, UY_2, UZ_2, BY_1, BZ_1, BY_2, BZ_2$ )은 액티브영역의 위 아래에 위치하는 비표시영역 내에서 PDP(100)의 상부기판 상에 형성된다. 어드레스전극들( $X_1$  내지  $X_m$ )은 상판전극들( $UY_1, UZ_1, UY_2, UZ_2, BY_1, BZ_1, BY_2, BZ_2, Y_1$  내지  $Y_n, Z$ )과 교차되도록 PDP(100)의 하부 기판 상에 형성된다. 더미전극들( $UY_1, UZ_1, UY_2, UZ_2, BY_1, BZ_1, BY_2, BZ_2$ ) 중에 액티브영역(100)의 서스테인전극( $Z$ )과 같이  $u$  수 번째 라인에 해당하는 더미 Z 전극( $UZ_1, UZ_2, BZ_1, BZ_2$ )은 서스테인전극( $Z$ )에 접속되어 서스테인 구동부(103)에 의해 구동된다. 더미전극들( $UY_1, UZ_1, UY_2, UZ_2, BY_1, BZ_1, BY_2, BZ_2$ ) 중에 액티브영역(100)의 스캔전극( $Y_1$  내지  $Y_n$ )과 같이  $v$  수 번째 라인에 해당하는 더미 Y 전극( $UY_1, UY_2, BY_1, BY_2$ )은 스캔 구동부(102)에 의해 구동된다.

<55> 어드레스 구동부(101)는 도시하지 않은 역감마보정회로, 오차확산회로 등에 의해 역감마보정 및 오차확산 된 후, 서브필드맵핑회로에 의해 각 서브필드별로 맵핑된 데이터를 타이밍 콘트롤러(104)의 제어 하에 어드레스전극들( $X_1$  내지  $X_m$ )에 동시에 공급하게 된다.

<56> 스캔 구동부(102)는 타이밍 콘트롤러(104)의 제어 하에 리셋기간 동안 셋업전압( $V_{setup}$ )까지 상승하는 상승 램프파형과 0[V]나 부극성 스캔전압( $-V_y$ )까지 떨어지는 하

강 램프파형을 스캔전극들(Y1 내지 Yn)과 더미 Y 전극들(UY1,UY2,BY1,BY2)에 동시에 공급하여 전화면을 초기화시킨다. 그리고 스캔 구동부(102)는 어드레스기간 동안 스캔공통전압(Vsc-com)으로부터 부극성 스캔전압(-Vy)까지 떨어지는 스캔펄스를 스캔전극들(Y1 내지 Yn)에 순차적으로 공급하여 스캔라인을 선택하며, 어드레스기간 동안 0[V]나 특정 정극성 전압레벨 예컨대, 스캔공통전압(Vsc-com)을 유지하는 직류 바이어스전압을 더미 Y 전극들(UY1,UY2,BY1,BY2)에 공급하여 더미 Y 전극들(UY1,UY2,BY1,BY2) 상에서 부극성 벽전하가 구속되게 함으로써 액티브영역과 비표시영역 사이에서 이상방전이 일어나는 것을 억제한다. 어드레스기간에 이어지는 서스테인기간 동안에 스캔 구동부(102)는 서스테인전압(Vs) 레벨의 서스테인펄스를 휘도 가중치에 대응하는 횟수만큼 스캔전극들(Y1 내지 Yn)과 더미 Y 전극들(UY1,UY2,BY1,BY2)에 동시에 공급하게 된다.

<57> 서스테인 구동부(103)는 타이밍 콘트롤러(104)의 제어 하에 초기화기간의 셋다운기간(SD)과 어드레스기간 동안 내내 서스테인전압(Vs)을 유지하는 직류전압(Zdc)을 서스테인전극들(Z)과 더미 Z 전극들(UZ1,UZ2,BZ1,BZ2)에 공급한다. 그리고 서스테인기간 동안에 서스테인 구동부(103)는 스캔 구동부(102)와 교대로 동작하여 서스테인펄스를 서스테인전극들(Z)과 더미 Z 전극들(UZ1,UZ2,BZ1,BZ2)에 공급하게 된다.

<58> 타이밍 콘트롤러(104)는 수직/수평 동기신호를 입력받아, 각 전극 구동부(101 내지 103)에 필요한 타이밍 제어신호(Cx,Cy,Cz,Cdy)를 발생하고, 그 타이밍 제어신호(Cx,Cy,Cz,Cdy)를 해당 구동부(101 내지 103)에 공급하게 된다. 여기서, 스캔 구동부(102)에는 액티브영역의 스캔전극들(Y1 내지 Yn)에 공급되는 전압을 제어하기 위한 타이밍 제어신호(Cy)와 함께 비표시영역의 더미 Y 전극들(UY1,UY2,BY1,BY2)의 전압을 제어하기 위한 타이밍 제어신호(Cdy)가 공급된다.

<59> 구동전압 발생부(105)는 PDP(100)의 전극 구동에 필요한 전압 즉, 셋업전압(Vsetup), 서스테인전압(Vs), 부극성 스캔전압(-Vy), 데이터전압(Vd) 및 스캔 공통전압(Vsc-com) 등을 발생하고 그 구동전압들을 해당 전극 구동부(101 내지 103)에 공급한다.

<60> 도 10은 도 9에 도시된 PDP의 구동파형을 나타낸다.

<61> 도 10을 참조하면, 초기화기간의 셋업기간(SU)에는 모든 스캔전극들(Y)과 더미 Y 전극들(UY1,UY2,BY1,BY2)에 상승 램프파형(Ramp-up)이 동시에 인가된다. 이 상승 램프파형(Ramp-up)에 의해 전화면의 셀들 내에는 방전이 일어난다. 셋다운기간(SD)에는 상승 램프파형(Ramp-up)이 공급된 후, 상승 램프파형(Ramp-up)의 피크전압보다 낮은 정극성 전압에서 떨어지는 하강 램프파형(Ramp-down)이 스캔전극들(Y)과 더미 Y 전극들(UY1,UY2,BY1,BY2)에 동시에 인가된다. 이 때, 더미 Y 전극들(UY1,UY2,BY1,BY2)에 인가되는 초기화파형에 의해 비표시영역 내에 잔류하는 과도 벽전하 대부분이 소거되고 어드레스기간에 공급되는 직류바이어스전압에 의해 그 상태를 어드레스기간이 종료될 때까지 유지한다. 이에 비하여, 액티브영역의 스캔전극들(Y1 내지 Yn)은 어드레스기간이 개시될 때 정극성의 스캔 공통전압(Vsc-com)까지 상승하게 된다. 이렇게 스캔전극들(Y1 내지 Yn)의 전압이 스캔 공통전압(Vsc-com)까지 상승하기 때문에 액티브영역의 셀들은 어드레스개시시점에서 스캔펄스와 데이터펄스가 공급될 때 어드레스방전이 일어날 수 있는 정도의 벽전하가 쌓이는 어드레스초기조건을 설정하게 된다.

<62> 어드레스기간 동안에는 부극성 스캔펄스(scan)가 스캔전극들(Y)에 순차적으로 인가됨과 동시에 스캔펄스(scan)에 동기되어 어드레스전극들(X)에 정극성의 데이터펄스(data)가 인가된다. 이 스캔펄스(scan)와 데이터펄스(data)의 전압차와 초기화기간에

생성된 벽전압이 더해지면서 데이터펄스(data)가 인가되는 셀 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 서스테인전압이 인가될 때 방전이 일어날 수 있게 하는 정도의 벽전하가 형성된다. 이러한 어드레스기간 동안에 0[V]나 정극성 전압레벨을 유지하는 직류바이어스전압(Vbias)이 더미 Y 전극들(UY1,UY2,BY1,BY2)에 공급된다. 더미 Y 전극들(UY1,UY2,BY1,BY2)에 공급되는 직류바이어스전압(Vbias)은 비표시영역 내의 부극성 공간전하와 부극성 벽전하를 더미 Y 전극들(UY1,UY2,BY1,BY2) 상에 구속하게 된다.

<63> 더미 Z 전극들(UZ1,UZ2,BZ1,BZ2)과 서스테인전극들(Z)은 초기화기간의 셋다운기간(SD)과 어드레스기간 동안에 정극성 전압을 유지하게 된다. 더미 Z 전극들(UZ1,UZ2,BZ1,BZ2)에 공급되는 정극성 직류전압은 셋다운기간(SD)과 어드레스기간 동안에 비표시영역 내의 부극성 공간전하와 부극성의 벽전하를 더미 Z 전극(UZ1,UZ2,BZ1,BZ2) 상에 구속하게 된다. 서스테인전극(Z)에 공급되는 직류전압(Zdc)은 셋다운기간에 서스테인전극(Z)과 스캔전극(Y1 내지 Yn) 사이에 셋다운방전이 일어나게 함과 아울러 어드레스기간에 스캔전극(Y1 내지 Yn)과 서스테인전극(Z) 사이에 방전이 크게 일어나지 않도록 서스테인전극(Z)과 스캔전극(Y) 사이 또는 서스테인전극(Z)과 어드레스전극(X) 사이의 전압차를 설정하게 된다.

<64> 서스테인기간에는 스캔전극들(Y1 내지 Yn)과 서스테인전극들(Z)에 교번적으로 서스테인펄스(sus)가 인가된다. 이 때, 더미 Y 전극들(UY1,UY2,BY1,BY2)은 스캔전극들(Y1 내지 Yn)과 동일하게 서스테인전압이 공급되며 더미 Z 전극들(UZ1,UZ,BZ1,BZ2)은 서스테인전극들(Z)과 동일하게 서스테인전압이 공급되지만, 비표시영역 내의 벽전압이 매우 낮기 때문에 서스테인전압이 인가되어도 비표시영역 내에서 이상방전이 일어나지 않게 된

다. 액티브영역 내에서, 어드레스방전에 의해 선택된 셀은 셀 내의 벽전압과 서스테인 필스(sus)가 더해지면서 매 서스테인필스(sus)가 인가될 때 마다 스캔전극(Y1 내지 Yn)과 서스테인전극(Z) 사이에 서스테인방전 즉, 표시방전이 일어나게 된다.

<65> 서스테인방전이 완료된 직후에는 소거 램프파형(ramp-ers)이 서스테인전극(Z)과 더미 Z 전극(UZ1, UZ2, BZ1, BZ2)에 공급된다. 이 소거 램프파형(ramp-ers)에 의해 액티브영역과 비표시영역 내에 잔류하는 벽전하를 소거시키게 된다.

#### 【발명의 효과】

<66> 상술한 바와 같이, 본 발명에 따른 PDP의 구동방법 및 장치는 액티브영역 내의 서스테인전극에 공급되는 전압을 비표시영역 내의 더미전극들에 인가하거나 또는 액티브영역 내의 서스테인전극에 공급되는 전압을 비표시영역 내의 더미전극들에 인가함과 아울러 액티브영역 내의 스캔전극에 공급되는 전압을 비표시영역 내의 더미전극들에 인가하게 된다. 그 결과, 본 발명에 따른 PDP의 구동방법 및 장치는 비표시영역 내의 벽전하를 줄일 수 있고 그 벽전하의 이동을 억제하여 비표시영역 내에서 또는 비표시영역과 액티브영역 사이에서의 이상방전을 방지하여 화질을 높일 수 있게 된다.

<67> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

화상이 표시되는 액티브영역과 상기 액티브영역의 위아래에 인접하는 비표시영역을 가지는 플라즈마 디스플레이 패널을 구동하기 위한 방법에 있어서,

상기 액티브영역의 전극들 중 적어도 일부전극들과 상기 비표시영역 내에 위치하는 더미전극들 중 적어도 일부전극들을 동일한 신호로 구동하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 2】**

제 1 항에 있어서,

상기 액티브영역의 셀들을 초기화시키기 위한 초기화기간의 적어도 일부기간과 상기 셀들을 선택하기 위한 어드레스기간 동안 직류전압을 상기 비표시영역의 더미전극들 중 적어도 일부 전극들과 상기 액티브영역의 서스테인전극들에 공급하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 3】**

제 2 항에 있어서,

상기 초기화기간 동안 전셀을 초기화시키기 위한 초기화파형을 상기 비표시영역의 더미전극들 중 적어도 일부 전극들과 상기 액티브영역의 스캔전극들에 공급하고 상기 어드레스기간 동안 상기 직류전압을 상기 비표시영역의 더미전극들 중 적어도 일부 전극들과 상기 액티브영역의 스캔전극들에 공급하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 4】**

화상이 표시되는 액티브영역과 상기 액티브영역의 위아래에 인접하는 비표시영역을 가지는 플라즈마 디스플레이 패널을 구동하기 위한 장치에 있어서,

상기 액티브영역의 전극들 중 적어도 일부전극들과 상기 비표시영역 내에 위치하는 더미전극들 중 적어도 일부전극들을 동일한 신호로 구동하기 위한 구동부를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

**【청구항 5】**

제 4 항에 있어서,

상기 구동부는 상기 액티브영역의 셀들을 초기화시키기 위한 초기화기간의 적어도 일부기간과 상기 셀들을 선택하기 위한 어드레스기간 동안 직류전압을 상기 비표시영역의 더미전극들 중 적어도 일부 전극들과 상기 액티브영역의 서스테인전극들에 공급하기 위한 서스테인 구동부를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

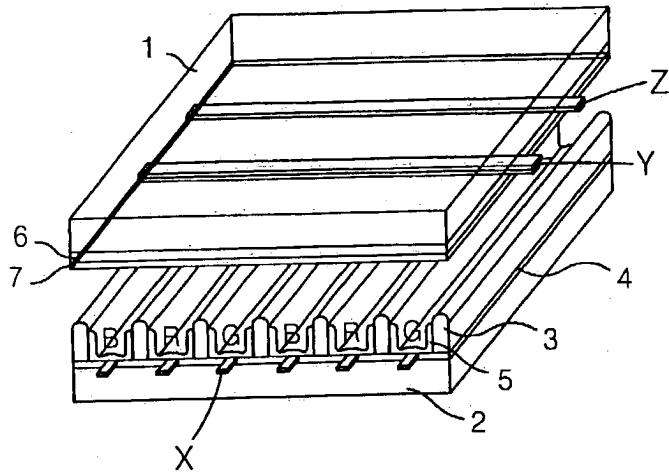
**【청구항 6】**

제 5 항에 있어서,

상기 구동부는 상기 초기화기간 동안 전셀을 초기화시키기 위한 초기화파형을 상기 비표시영역의 더미전극들 중 적어도 일부 전극들과 상기 액티브영역의 스캔전극들에 공급하고 상기 어드레스기간 동안 상기 직류전압을 상기 비표시영역의 더미전극들 중 적어도 일부 전극들과 상기 액티브영역의 스캔전극들에 공급하기 위한 스캔 구동부를 더 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

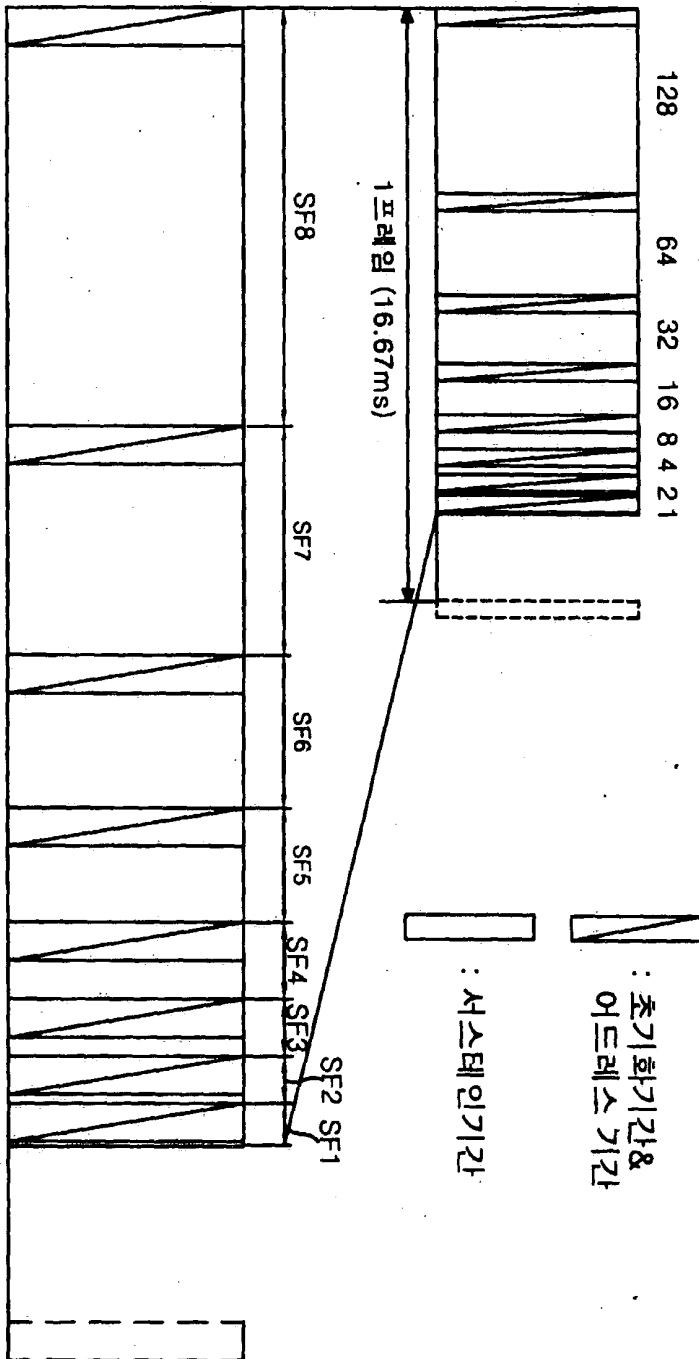
【도면】

【도 1】

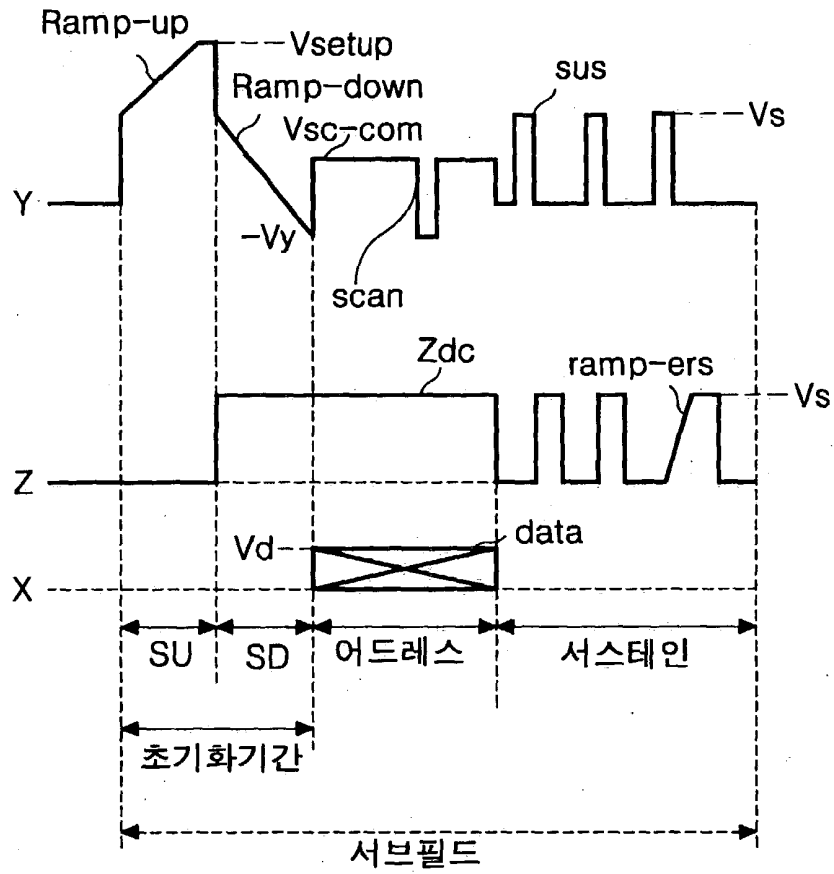




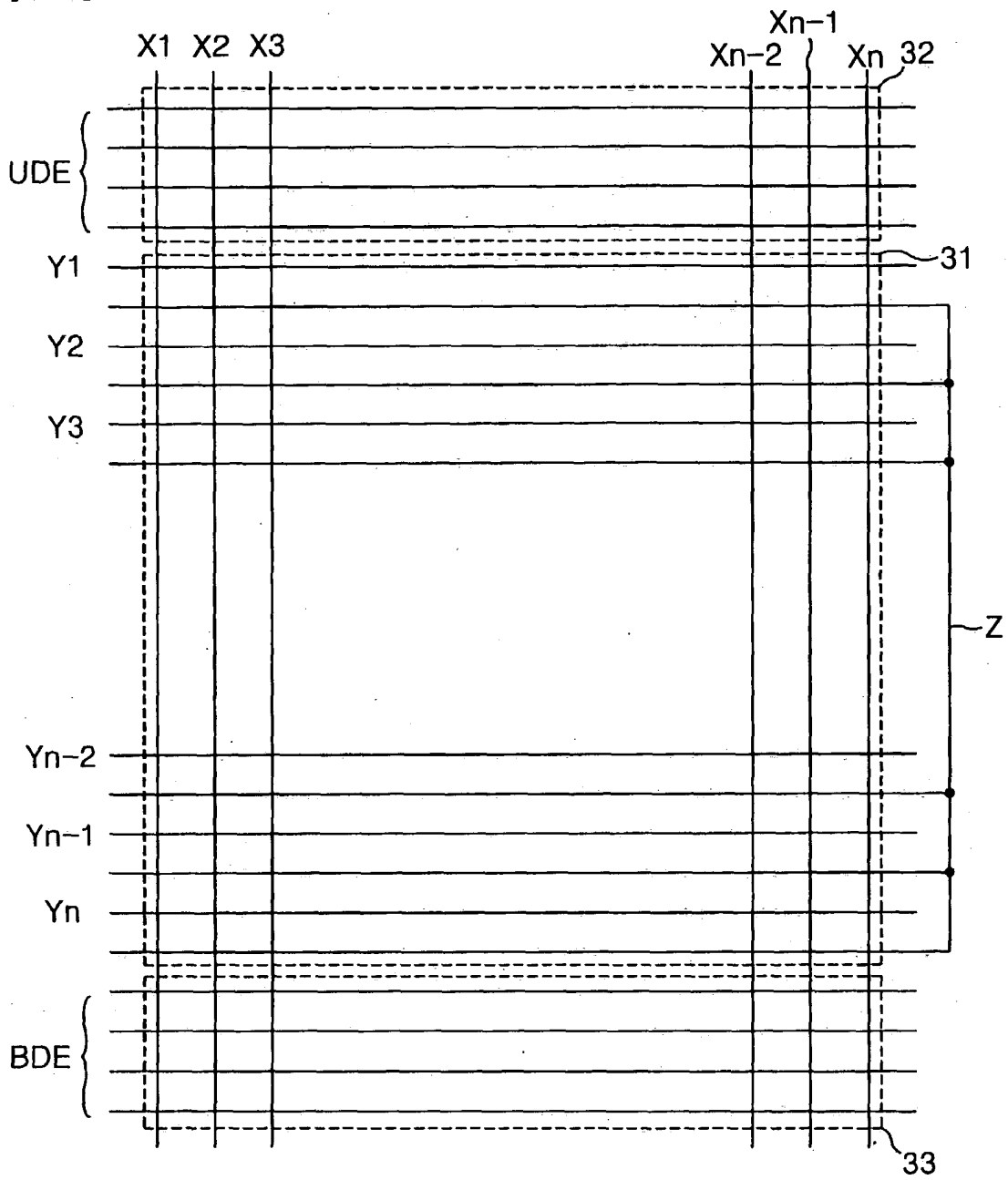
【도 2】



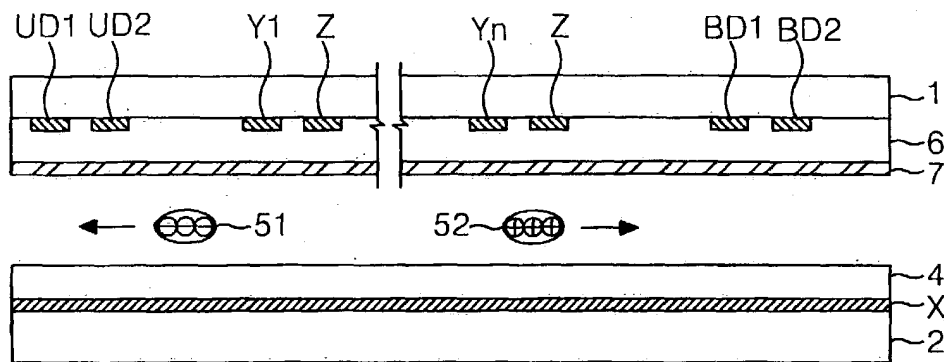
【도 3】



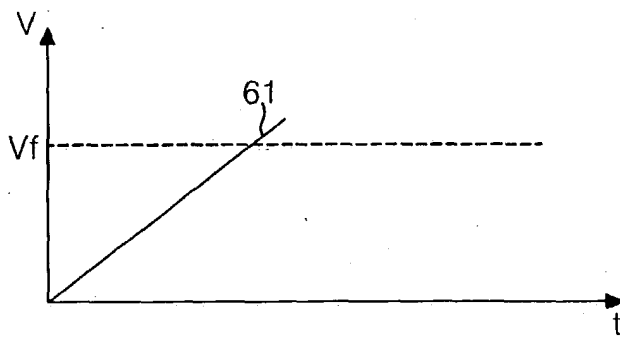
【도 4】



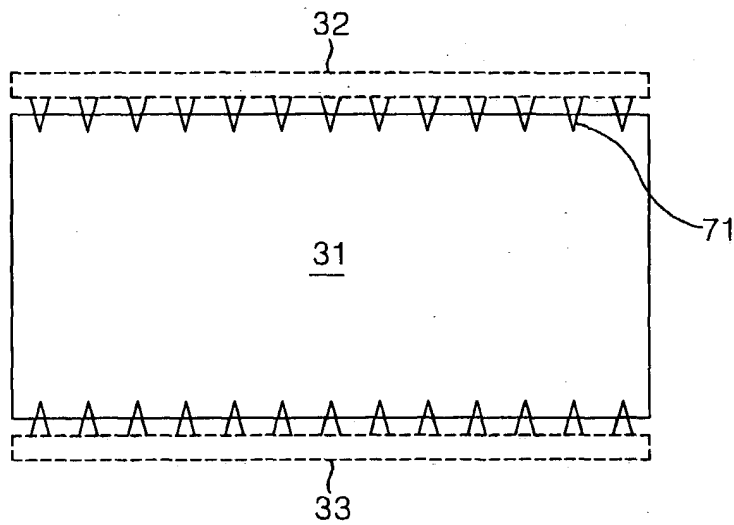
【도 5】



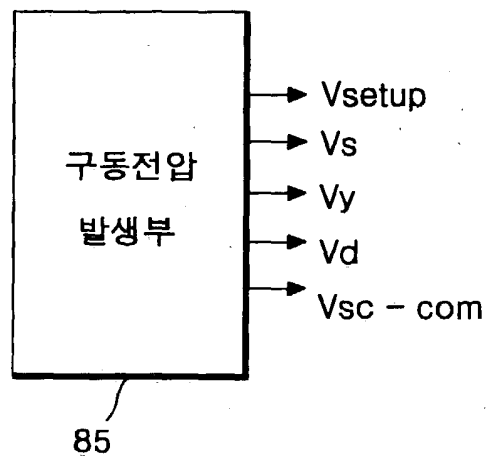
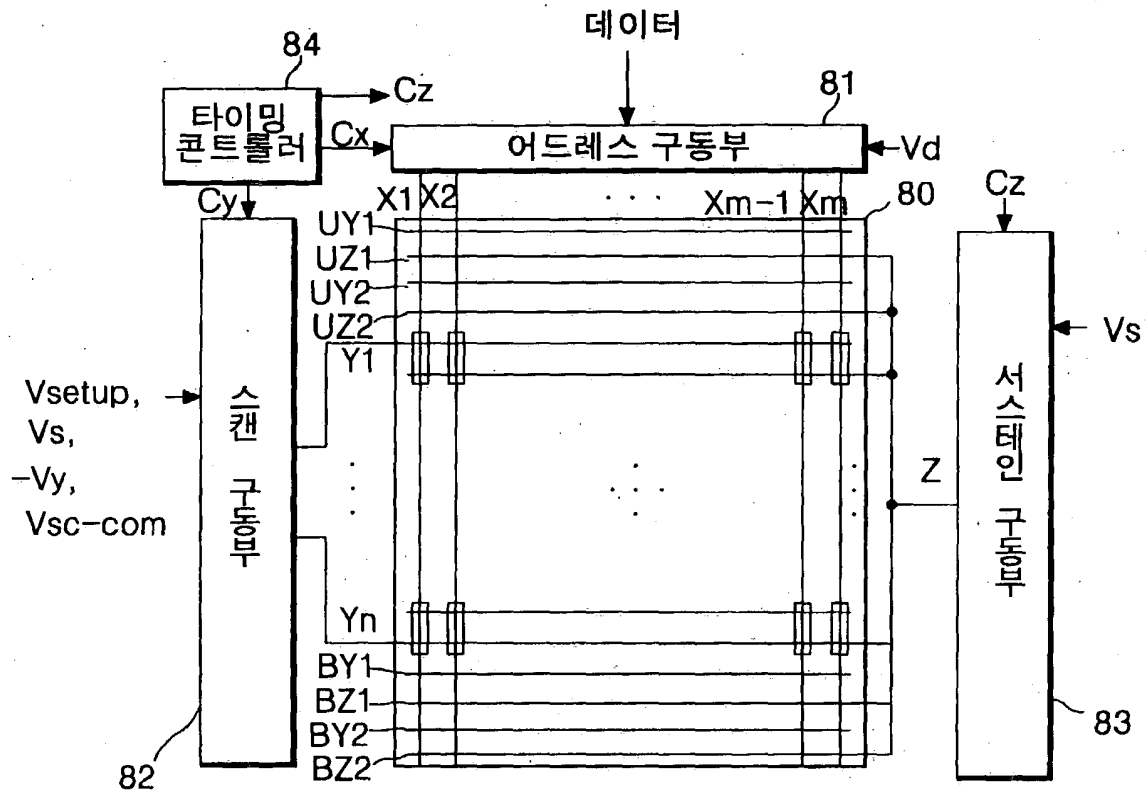
【도 6】



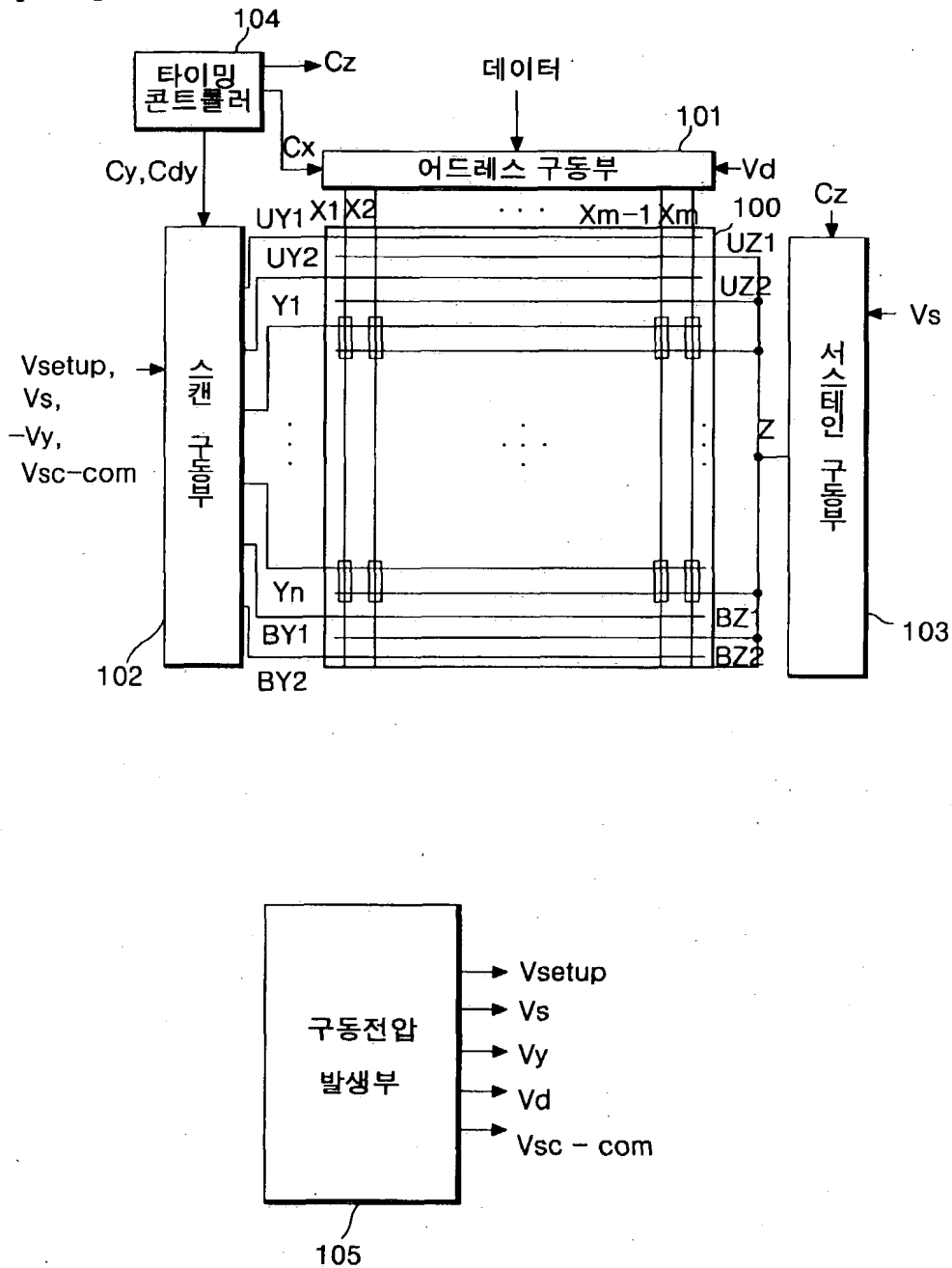
【도 7】



【도 8】



【도 9】



【도 10】

